

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/040616 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L**  
(21) Internationales Aktenzeichen: **PCT/DE2003/003673**  
(22) Internationales Anmeldedatum:  
29. Oktober 2003 (29.10.2003)  
(25) Einreichungssprache: **Deutsch**  
(26) Veröffentlichungssprache: **Deutsch**  
(30) Angaben zur Priorität:  
102 50 984.0 29. Oktober 2002 (29.10.2002) **DE**

(81) Bestimmungsstaaten (*national*): AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Bestimmungsstaaten (*regional*): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **HAHN-MEITNER-INSTITUT BERLIN GMBH** [DE/DE]; Glienicke Str. 100, 14109 Berlin (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KÖNENKAMP, Rolf** [DE/US]; 1618 SW Laurel St., Portland, OR 97201 (US).

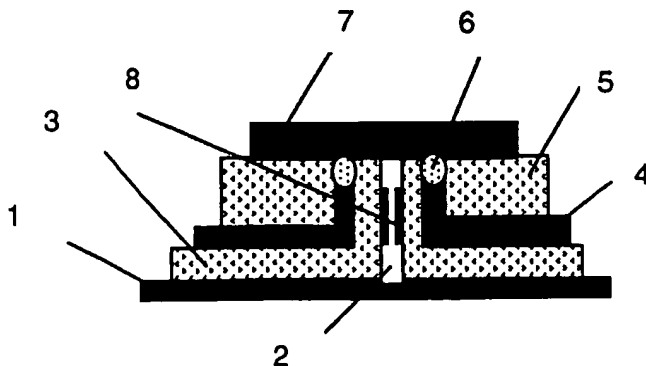
**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: **FIELD EFFECT TRANSISTOR AND METHOD FOR PRODUCTION THEREOF**

(54) Bezeichnung: **FELDEFFEKTTRANSISTOR SOWIE VERFAHREN ZU SEINER HERSTELLUNG**



(57) Abstract: A field effect transistor is known in which at least one vertically arranged semiconductor column, with a diameter in the nanometre range, is located between a source and a contact and has an annular surround of a gate contact with retention of an insulation gap. A simplified production method is disclosed and the transistor produced thus is embodied such that the semiconductor columns (2) are embedded in a first and a second insulation layer (3, 5), between which a metal layer (4), running to the outside as a gate contact, is arranged, the ends of which, extending upwards through the second insulation layer (5), are partly converted into an insulator (6), or partly removed and replaced by an insulation material.

(57) Zusammenfassung: Es ist bereits ein Feldeffekttransistor vorgeschlagen worden, bei dem sich zwischen einem Source- und einem Drainkontakt mindestens eine vertikal ausgerichtete Halbleitersäule mit einem Durchmesser im Nanometerbereich befindet, die unter Belassung eines Isolationsabstandes ringförmig von einem Gatekontakt umgeben ist. Vorgeschlagen wird ein vereinfachtes Herstellungsverfahren. Der so hergestellte Transistor ist so aufgebaut, dass die Halbleitersäulen (2) in eine erste und eine zweite Isolierschicht (3, 5) eingebettet sind, zwischen denen sich eine als Gatekontakt nach aussen geführte Metallschicht (4) befindet, deren nach oben durch die zweite Isolierschicht (5) hindurchtretenden Enden teilweise in einen Isolator (6) umgewandelt oder teilweise entfernt und durch ein Isoliermaterial aufgefüllt sind.

WO 2004/040616 A2

## Feldeffekttransistor sowie Verfahren zu seiner Herstellung

### Beschreibung

5 Die Erfindung betrifft einen Feldeffekttransistor, bei dem sich zwischen einem Source- und einem Drainkontakt mindestens eine vertikal ausgerichtete Halbleitersäule mit einem Durchmesser im Nanometerbereich (Nano-wire) befindet, die unter Belassung eines Isolationsabstandes ringförmig von einem Gatekontakt umgeben ist, sowie ein Verfahren zu seiner Herstellung.

10

Bekannt sind Dünnschichttransistoren, bei denen Halbleitermaterial in planarer Anordnung auf flexible Substrate aufgebracht wird. Durch mechanische Beanspruchung der Substrate kommt es jedoch leicht zum Ablösen der Halbleiter von dem Substrat oder zu anderen Beschädigungen und damit zum  
15 Funktionsausfall.

Es ist bereits vorgeschlagen worden, Transistoren im Nanometermaßstab herzustellen, indem in einen aus zwei Kunststofffolien und zwischenliegender Metallschicht bestehenden Folienverbund mittels Ionenbeschuss Ionenspurkanäle  
20 eingebracht werden, die so für eine nachfolgende Ätzung sensitiviert werden. In die herausgeätzten Mikrolöcher wird mittels Elektrodeposition oder chemischer Badabscheidung Halbleitermaterial eingebracht. Durch anschließendes Metallisieren der Ober- und Unterseite des Folienverbundes werden Source- und Drainkontakte gebildet. Die mittige Metallschicht dient als Gatekontakt.

25

Die zylindrische, vertikale Anordnung dieser Transistoren hat den Vorteil, dass sie mechanisch sehr robust sind, da die Folie biegsam oder dehnbar ist. Das organische Folienmaterial ist zudem wesentlich weicher als das anorganische Halbleitermaterial. Dadurch werden auftretende Biege-, Scher- und Druckkräfte fast  
30 vollständig vom Folienmaterial aufgenommen, so dass die Transistorkennlinie und

andere elektrische Parameter weitgehend konstant unter Biege-, Flex- und Zugkräften sind.

Da die Mikrolöcher bis hinunter zu 30 nm hergestellt und mit Halbleitermaterial  
5 aufgefüllt werden können, lassen sich Transistoren im Nanometer-Maßstab auch ohne Lithographie und ohne Maskentechnik herstellen.

Durch die Art der Abscheidung des Halbleitermaterials bedingt entstehen bei dem Verfahren polykristalline Halbleitersäulen. Auch das Verhältnis von Länge zu  
10 Durchmesser der Halbleitersäulen ist durch das nötige Kristallwachstum innerhalb der Mikrolöcher beschränkt. Insgesamt ist das Verfahren zur Herstellung der Transistoren noch zu aufwendig, da der Ionenbeschuss bisher nur in ausgewählten wissenschaftlichen Einrichtungen vorgenommen werden kann.

15 Der Erfindung liegt die Aufgabe zugrunde, einen Feldeffekttransistor der eingangs genannten Art anzugeben, der auch mit monokristallinen Halbleitersäulen herstellbar ist, wobei ohne Ionenbestrahlung ausgekommen werden soll. Hierzu soll ein geeignetes einfaches, industriell anwendbares Verfahren zu seiner Herstellung aufgezeigt werden.

20

Erfindungsgemäß wird die Aufgabe dadurch gelöst durch die Merkmale der Ansprüche 1 und 2. Zweckmäßige Ausgestaltungen sind Gegenstand der Unteransprüche.

25 Danach sind die Halbleitersäulen in eine erste und eine zweite Isolierschicht eingebettet, zwischen denen sich eine als Gatekontakt nach außen geführte Metallschicht befindet. Die nach oben durch die zweite Isolierschicht hindurchtretenden Enden der Metallschicht sind teilweise in einen Isolator umgewandelt oder teilweise entfernt und durch ein Isoliermaterial aufgefüllt.

30

Ein solcher Transistor kann mit folgenden Verfahrensschritten hergestellt werden:

- auf ein leitfähiges Substrat werden freistehende Halbleitersäulen vertikal aufgewachsen,
- auf die Halbleitersäulen wird eine erste Isolierschicht aufgebracht,
- auf die anschließend eine erste leitende Metallschicht und eine zweite Isolierschicht aufgebracht wird,
- der entstehende Schichtkörper wird so weit plangeätzt, dass der die Halbleitersäulen bedeckende Anteil der ersten Metallschicht wieder entfernt wird,
- die Enden der zur Oberfläche des Schichtkörpers hindurchtretenden Metallschicht werden metallspezifisch zurückgeätzt und auf den Schichtkörper wird eine dritte Isolierschicht aufgebracht, worauf der Schichtkörper erneut plangeätzt wird,
- oder
- die Enden der zur Oberfläche des Schichtkörpers hindurchtretenden Metallschicht werden durch Oxidation oder Nitridierung in einen Isolator umgewandelt,
- und auf den Schichtkörper wird abschließend eine zweite Metallschicht aufgebracht.

Der Transistor weist gegenüber bisherigen vertikalen Nanotransistoren folgende Vorteile auf:

- Die Struktur des Feldeffekttransistors erlaubt eine extrem hohe Packungsdichte und extrem kleine Abmessungen ohne dass lithographische Methoden angewendet werden müssten.
- Die verwendeten Substrate können fest oder flexibel sein.
- Zur Herstellung sind nicht unbedingt Ionenstrahlen notwendig.
- Das Verfahren erlaubt es nunmehr auch, die Halbleitersäulen monokristallin wachsen zu lassen. Transistoren auf der Grundlage monokristalliner Halbleiter weisen höhere Schaltgeschwindigkeiten auf als solche mit polykristallinen Halbleitern.

Die Erfindung wird im folgenden anhand von Ausführungsbeispielen näher erläutert. In den dazugehörigen Zeichnungen zeigen

- Fig. 1      den ersten Verfahrensschritt zur Herstellung eines erfindungsgemäßen  
5      Feldeffekttransistors – Aufwachsen der freistehenden Halbleitersäulen  
auf einem metallisch leitenden Substrat,
- Fig. 2      den zweiten Verfahrensschritt – Aufbringen einer ersten Isolierschicht,
- 10 Fig. 3      den dritten und vierten Verfahrensschritt – Aufbringen einer ersten  
Metallschicht und einer zweiten Isolierschicht,
- Fig. 4      den fünften Verfahrensschritt - Planätzen,
- 15 Fig. 5      den sechsten Verfahrensschritt – Isolieren der nach oben  
durchragenden Enden der Metallschicht,
- Fig. 6      den siebenten Verfahrensschritt – Aufbringen einer zweiten  
Metallschicht, fertige Struktur des Transistors im Querschnitt
- 20 Fig. 7      ein mit dem Verfahren herstellbares Transistorarray im Querschnitt.

Wie Fig. 1 zeigt, werden auf ein leitendes Substrat 1, das flexibel oder fest sein kann, zunächst vertikal freistehende Halbleitersäulen 2 aufgewachsen. Hierzu kann  
25 ein ungeordneter Prozess genutzt werden, wie er etwa von dem elektrochemischen Wachstum von ZnO-Säulen aus /1/ bekannt ist. Alternativ dazu könnte auch ZnO durch Verdampfen von Zn oder ZuO aufgebracht werden, siehe /2/. Man kann aber auch ein Substrat so vorpräparieren, dass in geordneter oder ungeordneter Weise Nukleationskeime entstehen, an denen das Säulenwachstum beginnt. Als  
30 ungeordnete Nukleationskeime lassen sich z.B. Ni-dots für das Wachstum von ZnO-Säulen /2/ oder Ni-dots für das vertikale Wachstum von C60-Nanoröhren

nutzen, siehe /3/, Fig. d. Geordnete Nukleationskeime können durch lithographische Methoden erzeugt werden, siehe /3/ oder durch nichtlithographische, zum Beispiel durch Versetzungsstufen an fehlausgerichteten Kristallflächen. Im Fall von nichtlithographisch erzeugten Nukleationskeimen  
5 entfallen weitgehend die durch die Lithographie gegebenen Größenbeschränkungen. Das Säulenwachstum ist nur durch die Größe des Nukleationskeimes vorgegeben. Halbleitersäulen können aber auch in geätzten Ionenspurkanälen von Polymerfilmen hergestellt werden. Wenn anschließend das Folienmaterial entfernt wird, entstehen ebenfalls freistehende Halbleitersäulen,  
10 siehe /4/.

Die auf Substraten gewachsenen Halbleitersäulen (Nanofibers/Nanotubes) haben bisher hauptsächlich Bedeutung erlangt für den Aufbau von Bauelementen zur Elektronenfeldemission, Lumineszenzdioden und Solarzellen mit extrem dünner  
15 Absorberschicht.

Neben den vorgenannten Materialien für die Halbleitersäulen kommen auch Materialien wie GaP, siehe /5/, InAs, InP, CdTe und andere in Frage.

20 Nach dem Aufwachsen der Halbleitersäulen 2 wird eine Isolierschicht 3 aufgebracht, wie in Fig. 2 gezeigt ist. Das Aufbringen kann durch Spin-Coaten eines Polymers oder durch Verdampfen, CVD (Chemical Vapor Deposition) oder andere bekannte Verfahren zum Erzeugen einer Isolierschicht, wie etwa einem Oxid oder Nitrid, erfolgen.

25

Die Isolierschicht 3 bedeckt auch die Seitenflächen der Halbleitersäulen 1. Auf die Isolierschicht 3 wird durch Sputtern, Verdampfen, CVD oder ein ähnliches Verfahren eine erste leitende Metallschicht 4 aufgebracht, die später den Gatekontakt des Transistors bildet. Anschließend wird eine weitere Isolierschicht 5  
30 aufgetragen (Fig. 3) und der obere Teil des so entstandenen Schichtkörpers plangeätzt (Fig. 4). Dies kann durch einen horizontalen Ionenstrahl erfolgen

(Ionenstrahlätzen) oder durch Plasma- oder chemische bzw. elektrochemische Ätzverfahren, wie sie aus der Halbleitertechnologie hinreichend bekannt sind. Anschließend werden die aus der Schichtfolge nach oben durchtretenden Enden der Metallschicht 4 isoliert (Fig. 5). Das kann erfolgen, indem in einem metallspezifischen Ätzschritt das an die Oberfläche tretende Metall zurückgeätzt wird und eine weitere Isolierschicht aufgebracht wird, die darauf wieder planarisiert wird. Alternativ dazu kann, wie in Fig. 5 angedeutet ist, das an die Oberfläche tretende Metall durch eine chemische Oxidation oder Nitridierung in einen Isolator 6 umgewandelt werden. Abschließend wird eine zweite Metallschicht 7 aufgebracht (Fig. 6). Diese Metallschicht ist in elektrischem Kontakt mit der Halbleitersäule und wirkt später als Source- oder Drainkontakt.

Im Bereich des mittleren Kontaktes, der als Gatekontakt wirkt, entsteht auf der Außenseite der Halbleitersäule 2 ein Channel 8, der sich, wenn die Halbleitersäule 2 dünn genug ist, auch über die gesamte Dicke der Säule erstrecken kann.

In Fig. 7 ist ein Transistor-Array dargestellt. Der Gatekontakt umgibt die Halbleitersäulen 2 jeweils ringförmig und ist somit im ganzen zusammenhängend. Alle Kontakte (Source, Drain, Gate) können als Array angesteuert werden oder mittels lithographischer Methoden unterteilt werden. Derartige Arrays lassen sich insbesondere in Schaltkreisen oder Displays verwenden. Bei Displays werden einige Hundert Transistoren zu einem optischen Pixel zusammengefasst.

Mit dem Verfahren ist die Herstellung von Transistoren mit Halbleitersäulen in der Größenordnung von 10 bis 500 nm Durchmesser möglich. Die Höhen der Halbleitersäulen liegen in demselben Bereich. Bei sehr kleinen Durchmessern kann der Transistor im Quantenregime betrieben werden.

**Liste der zitierten Literaturstellen**

/1/ Thin Film Deposition on Free-standing ZnO Columns, Könenkamp et al.,  
5 Appl. Phys. Lett. 77, No 16 (16. October 2000), 2275-2277

/2/ Seung Chu Lyu et al., Low Temperature Growth of ZnO Nano-wire Array  
Using Vapour Deposition Method, Chemistry of Materials to be published

10 /3/ Teo et al., NanotechConference, Santiago de Compostela, September 9-13,  
2002-10-09

/4/ Engelhardt, Könenkamp, Electrodeposition of Compound Semiconductors in  
Polymer Channels of 100nm Diameter, J. Appl. Phys., 90, No 8 (15. October 2002),  
15 4287-4289

/5/ Gudiksen/Lieber, Diameter-Selective Semiconductor Nanowires, J. Am.  
Chem. Soc. 122 (2000), 8801-8802



### Liste der verwendeten Bezugszeichen

- |    |   |                 |
|----|---|-----------------|
|    | 1 | Substrat        |
| 5  | 2 | Halbleitersäule |
|    | 3 | Isolierschicht  |
|    | 4 | Metallschicht   |
|    | 5 | Isolierschicht  |
|    | 6 | Isolator        |
| 10 | 7 | Metallschicht   |
|    | 8 | Channel         |

## Patentansprüche

1. Feldeffekttransistor, bei dem sich zwischen einem Source- und einem  
5 Drainkontakt (1, 7) mindestens eine vertikal ausgerichtete Halbleitersäule (2) mit  
einem Durchmesser im Nanometerbereich befindet, die unter Belassung eines  
Isolationsabstandes ringförmig von einem Gatekontakt umgeben ist,  
dadurch gekennzeichnet, dass  
die Halbleitersäulen (2) in eine erste und eine zweite Isolierschicht (3, 5)  
10 eingebettet sind, zwischen denen sich eine als Gatekontakt nach außen geführte  
Metallschicht (4) befindet, deren nach oben durch die zweite Isolierschicht (5)  
hindurchtretenden Enden teilweise in einen Isolator (6) umgewandelt oder teilweise  
entfernt und durch ein Isoliermaterial aufgefüllt sind.
- 15
2. Verfahren zur Herstellung eines Feldeffekttransistors, bei dem sich zwischen  
einem Source- und einem Drainkontakt mindestens eine vertikal ausgerichtete  
Halbleitersäule mit einem Durchmesser im Nanometerbereich befindet, die unter  
Belassung eines Isolationsabstandes ringförmig von einem Gatekontakt umgeben  
20 ist,  
dadurch gekennzeichnet, dass
- auf ein leitfähiges Substrat freistehende Halbleitersäulen vertikal  
aufgewachsen werden,
  - auf die Halbleitersäulen eine erste Isolierschicht aufgebracht wird,
  - 25 - auf die anschließend eine erste leitende Metallschicht und eine zweite  
Isolierschicht aufgebracht wird,
  - der entstehende Schichtkörper so weit plangeätzt wird, dass der die  
Halbleitersäulen bedeckende Anteil der ersten Metallschicht wieder entfernt  
wird,
  - 30 - die Enden der zur Oberfläche des Schichtkörpers hindurchtretenden  
Metallschicht metallspezifisch zurückgeätzt werden und auf den

Schichtkörper eine dritte Isolierschicht aufgebracht wird, worauf der Schichtkörper erneut plangeätzt wird,

oder

5 die Enden der zur Oberfläche des Schichtkörpers hindurchtretenden Metallschicht durch Oxidation oder Nitridierung in einen Isolator umgewandelt werden,

- und auf den Schichtkörper abschließend eine zweite Metallschicht aufgebracht wird.

10

3. Verfahren nach Anspruch 2,  
dadurch gekennzeichnet, dass  
der Schichtkörper oder einzelne Schichten mittels einer lithographischen Methode  
in einzelne Arrays unterteilt wird.

15

4. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen elektrochemisch erfolgt.

20

5. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen durch Sputtern erfolgt.

25

6. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen durch ein CVD-Verfahren erfolgt.

30

7. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen durch Verdampfen erfolgt.

5

8. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen auf Nukleationskeimen erfolgt.

10

9. Verfahren nach Anspruch 2 oder 3,  
dadurch gekennzeichnet, dass  
das Aufwachsen der Halbleitersäulen in Ionenspurkanälen einer Polymerfolie  
erfolgt, die anschließend wieder entfernt wird.

15

1/3

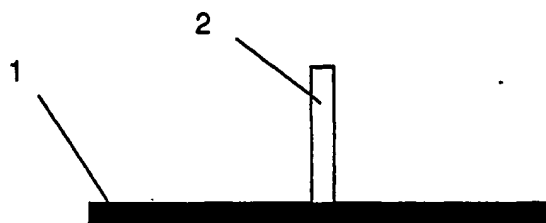


Fig. 1

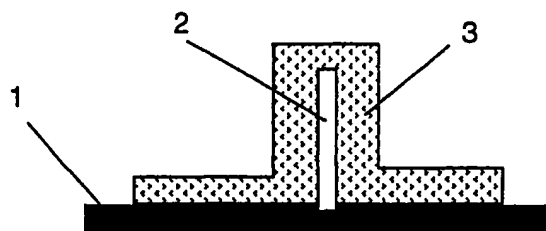


Fig. 2

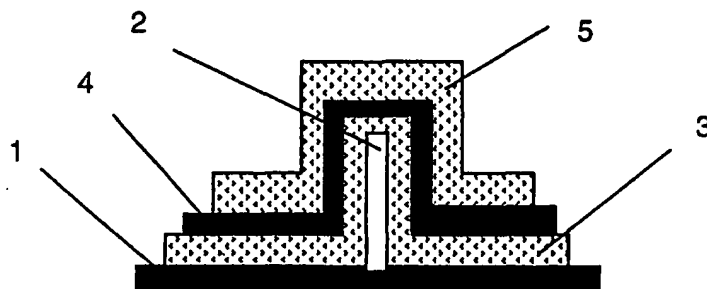


Fig. 3

2/3

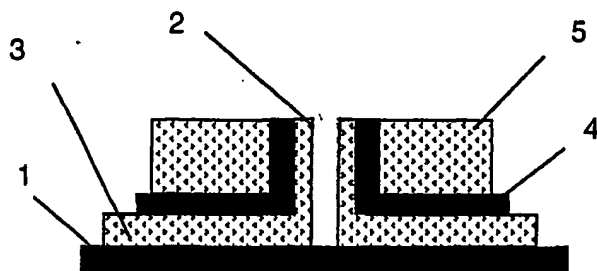


Fig. 4

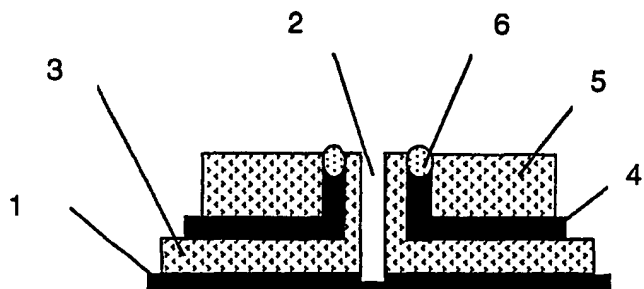


Fig. 5

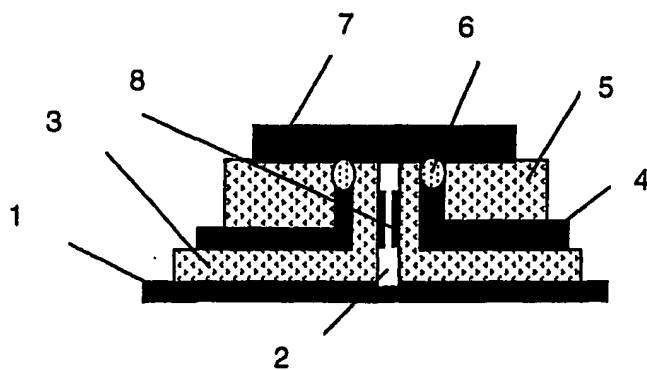


Fig. 6

3/3

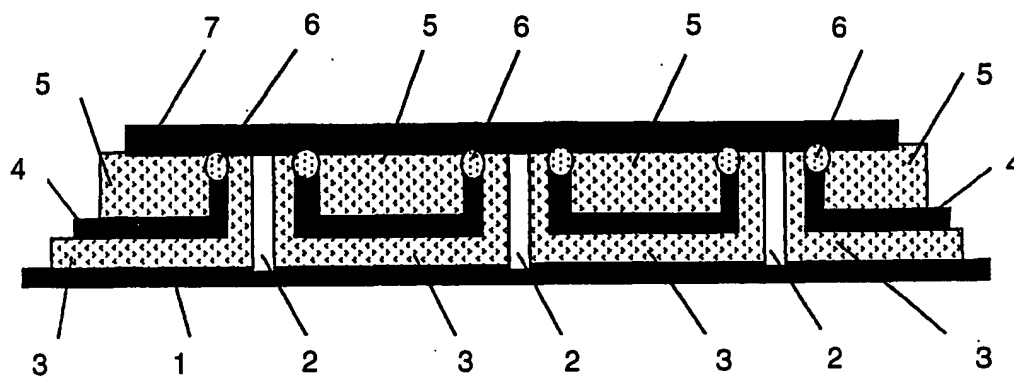


Fig. 7